

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G09G 5/36

G11C 11/40

[12] 发明专利申请公开说明书

[21] 申请号 00805764.8

[43] 公开日 2002 年 4 月 17 日

[11] 公开号 CN 1345438A

[22] 申请日 2000.11.29 [21] 申请号 00805764.8

[30] 优先权

[32] 1999.11.29 [33] JP [31] 338146/99

[32] 2000.7.12 [33] JP [31] 211079/00

[86] 国际申请 PCT/JP00/08384 2000.11.29

[87] 国际公布 WO01/41119 日 2001.6.7

[85] 进入国家阶段日期 2001.9.28

[71] 申请人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 田村刚

[74] 专利代理机构 中国专利代理(香港)有限公司

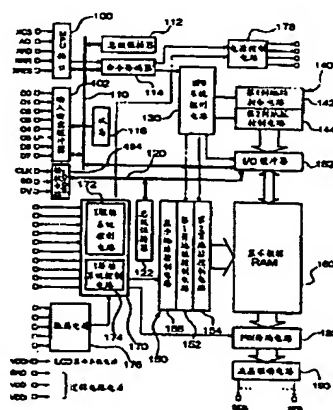
代理人 刘宗杰 王忠忠

权利要求书 3 页 说明书 20 页 附图页数 19 页

[54] 发明名称 内置 RAM 驱动器及使用它的显示单元和电子仪器

[57] 摘要

本发明的目的在于提供一种内置 RAM 驱动器, 可以向 RAM 写入动画数据的同时写入静画数据。内置 RAM 驱动器 IC(420) 使用和静画数据不同的系统, 经 LVDS 标准高速串行传输线, 从 MPU (400) 接收动画数据。LVDS 接收电路根据从 MPU (400) 来的在高速串行传输线上的传送数据有效时才有效的数据有效信号 DV, 使差动输入接收器工作, 从而抑制恒定电流的耗电。使用分开的系统接收的静画数据和动画数据分别经第 1 和第 2 总线(110)、(112)写入 RAM (160)。存储在 RAM 中的静画数据和动画数据由显示地址控制电路 (156) 控制其作为显示数据读出。



知识产权出版社出版

ISSN 1008-4274

权 利 要 求 书

1. 一种内置 RAM 驱动器, 是根据静画数据和动画数据驱动显示部显示的内置 RAM 驱动器, 其特征在于包括:

输入上述静画数据或给定的命令的第 1 接口;

5 将串行传输线传送的串行的上述动画数据作为差动信号输入的第 2 接口;

差动放大从上述第 2 接口输入的上述差动信号并生成并行动画数据的接收电路;

10 存储经上述第 1 接口输入的上述静画数据和由上述接收电路生成的上述动画数据的 RAM;

根据给定的命令, 对上述 RAM 控制分别经第 1 或第 2 接口单独输入的上述静画数据或动画数据的写入或读出的第 1 控制电路;

15 独立于上述第 1 控制电路, 把存储在上述 RAM 中的静画数据或动画数据作为显示数据, 控制其读出并驱动上述显示部显示的第 2 控制电路。

2. 权利要求 1 记载的内置 RAM 驱动器, 其特征在于: 包含停止控制电路, 在接收上述差动信号的同时, 接收表示该差动信号是否有效的数据有效信号, 根据上述数据有效信号至少停止一部分上述接收电路的工作。

20 3. 权利要求 2 记载的内置 RAM 驱动器, 其特征在于: 作为使上述动画数据向上述 RAM 的写入同步的同步信号, 使用上述数据有效信号。

25 4. 权利要求 2 记载的内置 RAM 驱动器, 其特征在于: 作为使上述显示部的 1 行动画数据向上述 RAM 的写入同步的同步信号, 使用上述数据有效信号。

5. 权利要求 2 记载的内置 RAM 驱动器, 其特征在于: 作为使上述显示部的 1 个画面的动画数据向上述 RAM 的写入同步的同步信号, 使用上述数据有效信号。

30 6. 权利要求 1 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 LVDS 标准的传输线。

7. 权利要求 2 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 LVDS 标准的传输线。

8. 权利要求 3 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 LVDS 标准的传输线。

9. 权利要求 4 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 LVDS 标准的传输线。

5 10. 权利要求 5 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 LVDS 标准的传输线。

11. 权利要求 1 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 USB 标准的传输线。

10 12. 权利要求 2 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 USB 标准的传输线。

13. 权利要求 3 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 USB 标准的传输线。

14. 权利要求 4 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 USB 标准的传输线。

15 15. 权利要求 5 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 USB 标准的传输线。

16. 权利要求 1 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 IEEE1394 标准的传输线。

20 17. 权利要求 2 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 IEEE1394 标准的传输线。

18. 权利要求 3 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 IEEE1394 标准的传输线。

19. 权利要求 4 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 IEEE1394 标准的传输线。

25 20. 权利要求 5 记载的内置 RAM 驱动器, 其特征在于: 上述串行传输线是 IEEE1394 标准的传输线。

21. 一种显示单元, 其特征在于包括具有由多个第 1 电极和多个第 2 电极驱动的电光学元件的面板、

30 驱动上述多个第 1 电极的权利要求 1 记载的内置 RAM 驱动器和扫描驱动上述多个第 2 电极的扫描驱动器。

22. 一种显示单元, 其特征在于包括具有由多个第 1 电极和多个第 2 电极驱动的电光学元件的面板、



驱动上述多个第 1 电极的权利要求 2 记载的内置 RAM 驱动器和扫描驱动上述多个第 2 电极的扫描驱动器。

23. 一种显示单元，其特征在于包括具有由多个第 1 电极和多个第 2 电极驱动的电光学元件的面板、

5 驱动上述多个第 1 电极的权利要求 3 记载的内置 RAM 驱动器和扫描驱动上述多个第 2 电极的扫描驱动器。

24. 一种显示单元，其特征在于包括具有由多个第 1 电极和多个第 2 电极驱动的电光学元件的面板、

10 驱动上述多个第 1 电极的权利要求 4 记载的内置 RAM 驱动器和扫描驱动上述多个第 2 电极的扫描驱动器。

25. 一种显示单元，其特征在于包括具有由多个第 1 电极和多个第 2 电极驱动的电光学元件的面板、

驱动上述多个第 1 电极的权利要求 5 记载的内置 RAM 驱动器和扫描驱动上述多个第 2 电极的扫描驱动器。

15 26. 一种电子仪器，其特征在于：具有权利要求 21 至 25 记载的显示单元和

向上述显示单元供给上述命令、上述静画数据和上述动画数据的 MPU。



说明书

内置 RAM 驱动器及使用它的显示单元和电子仪器

技术领域

- 5 本发明涉及在一个画面内驱动显示静画和动画的内置 RAM 驱动器及使用它的显示单元和电子仪器。

背景技术

- 10 由于近年来通信技术和安装技术的发展，在便携式电子仪器的显示部上，不仅可以显示数字和文字等字符，还可以显示静止图像和活动图像等对用户来说信息性高的各种数据。

对于这样的电子仪器显示的数据，提出了各种各样的数据形式。以便携式电话机为例，例如，提出了接收或发送利用 MPEG（活动图像专家组）标准压缩编码的图像数据的技术。

- 15 这时，在便携式电话机的显示部上，例如，在图 3 所示的液晶面板 22 上，在动画显示区 22A 显示接收的动画。另一方面，在液晶面板 22 的静画显示区 22B 上显示例如有关该动画的说明和操作信息等静画。

- 20 为了在动画显示区 22A 上显示动画，有必要在液晶驱动器内的 RAM 存储区中的与动画显示区 22A 对应的动画存储区内，周期地而且几乎是实时地改写动画数据。

另一方面，静画显示区 22B 显示的静画与便携式电话机的键操作等对应变更，在 RAM 存储区中，有必要改写与静画显示区 22B 对应的静画存储区的静画数据。

- 25 但是，为了改写 RAM 静画存储区中的静画数据，只有使用能周期地传送动画数据的总线，并利用传送一个画面的动画数据和下一个画面的动画数据之间的间隙。

这样，在动画数据的画面间限定的时间内传送静画数据受到向显示单元供给动画数据和静画数据的 MPU 的动作时间的限制，而且，显示单元以外的电路也受到控制 MPU 动作时间上的制约。

- 30 今后，随着显示区的扩大和色调数的增加，可以预见显示部显示的活动图像的信息性将日益提高，并能获得用户容易看得到且有用的信息。因此，上述动画数据的数据传送量将日益增加，这意味着对 MPU

动作时间的制约将更严厉。所以，希望尽量提高动画数据的传送速率。另一方面，对于这样的以便携式电话机为代表的很适合于信息性高的信息的显示的便携式信息终端，低功耗是必须的。

发明的公开

- 5 本发明是鉴于上述技术课题而提出的，其目的在于提供一种内置 RAM 驱动器及使用它的显示单元和电子仪器，可以改写静画数据而将对 RAM 改写动画数据的时序无关。

此外，本发明的另一目的在于提供一种内置 RAM 驱动器及使用它的显示单元和电子仪器，可以以很低的功耗独立地改写大容量的动画数据和静画数据。

为了解决上述课题，本发明是根据静画数据和动画数据驱动显示部显示的内置 RAM 驱动器，其特征在于包括：输入上述静画数据或给定的命令的第 1 接口；将串行传输线传送的串行的上述动画数据作为差动信号输入的第 2 接口；差动放大从上述第 2 接口输入上述差动信号并生成并行动画数据的接收电路；存储经上述第 1 接口输入的上述静画数据和由上述接收电路生成的上述动画数据的 RAM；根据给定的命令，对上述 RAM 控制分别经第 1 或第 2 接口单独输入的上述静画数据或动画数据的写入或读出的第 1 控制电路；独立于上述第 1 控制电路，把存储在上述 RAM 中的静画数据或动画数据作为显示数据，控制其读出并驱动上述显示部显示的第 2 控制电路。

若按照本发明，静画、动画经第 1、第 2 接口分别输入。此外，控制向静画数据或动画数据的 RAM 写入和控制从用来驱动显示部显示的数据 RAM 读出分别独立进行。因此，可以在 RAM 中改写动画数据的同时改写静画数据，不必等到动画数据写入结束才写入静画数据。而且，可以利用显示数据进行显示驱动，而与这些静画数据和动画数据的写入控制无关。进而，因从第 2 接口经串行传输线来的串行动画数据作为差动信号输入，故可以实现高速信号传送。特别，因与静画写入时序无关，可以写入因扩大显示区和增加色调数而实现了大容量的动画数据，故可以显示精细的活动图像。

此外，本发明的特征在于：包含停止控制电路，在接收上述差动信号的同时，接收表示该差动信号是否有效的数据有效信号，根据上述数据有效信号至少停止一部分上述接收电路的工作。

将表示作为这样的串行动画数据的差动信号是否有效的数据有效信号和差动信号一起接收，至少停止一部分上述接收电路的工作，将串行传送时收发信号的功耗抑制到最小限度，因此，可以有效地进行大容量动画数据的传送而不降低信号传送能力。

5 此外，本发明的特征在于：作为使上述动画数据向上述 RAM 的写入同步的同步信号，使用上述数据有效信号。

此外，本发明的特征在于：作为使上述显示部的 1 行动画数据向上述 RAM 的写入同步的同步信号，使用上述数据有效信号。

10 此外，本发明的特征在于：作为使上述显示部的 1 个画面的动画数据向上述 RAM 的写入同步的同步信号，使用上述数据有效信号。

这样一来，可以不传送垂直同步信号或水平同步信号而能够准确无误地显示动画数据。

此外，本发明的特征在于：上述串行传输线是 LVDS 标准的传输线。

15 此外，本发明的特征在于：上述串行传输线是 USB 标准的传输线。

此外，本发明的特征在于：上述串行传输线是 IEEE1394 标准的传输线。

20 通过利用这样一些标准化的高速串行传输线来传送动画数据，可以独立地进行大容量动画数据和静画数据的改写，可以使内置 RAM 驱动器的接口设计容易进行。

此外，本发明的特征在于：本发明的显示单元包括具有由多个第 1 电极和多个第 2 电极驱动的电光学元件的面板、驱动上述多个第 1 电极的后述的权利要求 1 至 8 的任何一项记载的内置 RAM 驱动器和扫描驱动上述多个第 2 电极的扫描驱动器。

25 该显示单元可以在减轻外部 MPU 的负担的同时实现静画和动画的混合显示。

此外，本发明的电子仪器的特征在于：具有本发明的显示单元和向上述显示单元供给上述命令、上述静画数据和上述动画数据的 MPU。

30 该电子仪器在显示单元混合显示静画和动画时可以减轻 MPU 的负担，因此，能够提高 MPU 的工作效率。

附图的简单说明

图 1 是使用本发明的电子仪器的概略方框图。

图 2 是作为一例图 1 的电子仪器的便携式电话机的概略方框图。

图 3 是表示与图 1 所示的液晶面板的显示例不同的显示例的概略说明图。

5 图 4 是图 1 所示的 X 驱动器 IC 的概略方框图。

图 5 是图 4 所示的显示数据 RAM 及其外围电路的概略说明图。

图 6 是图 5 所示的数据 RAM 内的存储器单元的电路图。

图 7 是表示静画和动画的写入时序和显示用读出时序的波形图。

图 8 是本发明第 2 实施形态的 X 驱动器 IC 的概略框图。

10 图 9 是表示图 8 所示的第 1、第 2 显示数据 RAM 的存储区和液晶面板的显示区的关系的概略说明图。

图 10 是具有第 3 实施形态的 X 驱动器 IC 的电子仪器的概略框图。

15 图 11A、图 11B 是与先有的显示数据传输线的接口部相对照原理性地示出 LVDS 标准的高速串行传输线的接口部的说明图。

图 12 是表示 LVDS 标准的数据传送的功耗和 CMOS 驱动器进行数据传送的功耗的关系的说明图。

图 13 是表示对于第 3 实施形态中的电子仪器进行 LVDS 标准的高速串行传送的 MPU 和显示单元的接口部分的概要构成的概略方框图。

20 图 14 是表示由数据有效信号生成电路生成的数据有效信号的生成时序的一个例子的时序图。

图 15 是表示由数据有效信号生成电路生成的数据有效信号的生成时序的另一个例子的时序图。

图 16 是本发明第 3 实施形态的 X 驱动器 IC 的概略框图。

25 图 17 是表示对于第 3 实施形态中的电子仪器进行 IEEE1394 标准的高速串行传送的 MPU 和显示单元的接口部分的概要构成的概略方框图。

图 18 是表示 DS 链接方式的传送时序的一个例子的时序图。

30 图 19 是表示对于第 3 实施形态中的电子仪器进行 USB 标准的高速串行传送的 MPU 和显示单元的接口部分的概要构成的概略方框图。
实施发明的最佳形态

下面，参照附图说明本发明的实施形态。

<实施形态 1>

下面，参照图 1～图 7 说明本发明的实施形态 1。

(电子仪器的说明)

图 1 是使用本发明的电子仪器的概略方框图。在图 1 中，该电子
5 仪器由 MPU (微处理器单元) 10 和显示单元 20 构成。显示单元 20 包
括具有电光学元件的矩阵面板、例如彩色液晶面板 22、驱动该液晶面
板 22 的内置 RAM 的 X 驱动器 IC24 和扫描用 Y 驱动器 IC26。

矩阵面板 22 只要是使用光学特性随外加电压变化的液晶或其它
电光学元件即可。作为液晶面板 22，例如，可以用单纯的矩阵面板构
10 成，这时，在已形成多个段电极 (第 1 电极) 的第 1 衬底和已形成公
共电极 (第 2 电极) 的第 2 衬底之间封入液晶。液晶面板 22 也可以
是使用薄膜晶体管 (TFT)、薄膜二极管 (TFD) 等 3 端元件和 2 端元
件的有源矩阵面板。这些有源矩阵面板也具有由内置 RAM 的 X 驱动器
IC24 驱动的多个信号电极 (第 1 电极) 和由 Y 驱动器 IC26 扫描驱动
15 的多个扫描电极 (第 2 电极)。

液晶面板 22 可以同时显示静画和动画。这时，如图 1 所示，在
液晶面板 22 上设定由 MPU10 提供的动画数据的图像大小决定的动画
显示区域 22A 和除此之外的静画显示区域 (文本数据显示区) 22B。

如图 1 所示，从 MPU10 向显示单元 20 提供显示命令/静画数据和
20 动画数据。作为显示命令，典型的有区别命令/数据的信号 A0、反相
复位信号 XRES、反相片选信号 XCS、反相读信号 XRD 和反相写信号
XWR 等。数据 D7～D0 是 8 比特命令数据 (包含静画和动画用地址数据)
或静画数据，根据命令/数据识别信号 A0 的逻辑来区别。动画数据例
如是各 6 比特的 R、G、B 信号，还提供时钟信号 CLK、水平·垂直同
步信号 H·Vsync 等。
25

这样，在本实施形态中，显示命令/静画数据用的总线和动画数
据用的总线是分离的。

图 2 示出安装了图 1 的 MPU10 和显示单元 20 的便携式电话机 30
的例子。图 2 所示的 MPU10 具有主管便携式电话机 30 的控制的
30 CPU12，该 CPU12 与静画用存储器 14、DSP (数字信号处理器) 16 连
接。此外，DSP16 与动画用存储器 18 连接。

在该便携式电话机 30 中，设有调制解调电路 34，对经天线 32

接收的信号进行解调或对经天线 32 发送的信号进行调制。而且，可以通过天线 32 收发例如按 MPEG（活动图像专家组）的 IV 层标准编码了的动画数据。

在该便携式电话机 30 中，也可以设置例如数字摄像机 36。可以通过该数字摄像机 36 取入动画数据。便携式电话机 30 的收发数据、数字摄像机 26 的摄像等必要的操作信息可以通过操作输入部 38 输入。

设在 MPU10 中的 CPU12 当在液晶面板 22 的动画显示区域 22A 中显示动画时，该动画的大小由动画信息决定。即，决定图 1 所示的动画的开始地址 SA 和结束地址 EA。再有，也可以如图 3 所示那样，用线条将动画显示区域 22A 和静画显示区域 22B 分成例如上下两部分，这时，开始地址 SA 和结束地址 EA 同样根据动画的大小决定。

该动画显示区域 22A 显示的动画在本实施形态中由天线 32 或数字摄像机 36 提供。从天线 32 输入的信号经调制解调电路 34 解调后由 DSP16 进行信号处理。该 DSP16 与动画处理用存储器 18 连接，对经天线 32 和调制解调电路 34 输入的压缩数据进行解压缩，还对按 MPEG 的 IV 层标准编码了的数据进行译码。经天线 32 和调制解调电路 34 发送来的数据在利用 DSP16 进行压缩并按 MPEG 的 IV 层标准编码再发送时，进行编码。这样，DSP16 可以具有 MPEG 的例如 IV 层的译码器和编码器的功能。

该 DSP16 还输入从数字摄像机 36 来的信号，从天线 32 或数字摄像机 36 输入的信号利用 DSP16 对 RGB 信号进行处理再送给显示单元 20。

CPU12 根据从操作部 38 来的信息，必要时使用静画用存储器 14，向显示单元 20 输出液晶面板 22 显示静画所必要的命令和静画数据。

例如，动画是经由因特网发送来的电影信息，用来预订该电影票的信息作为静画显示，根据从操作输入部 38 来的信息进行订票。因此，CPU1 进经调制解调电路 34 和天线 32 控制发送静画信息（例如订票信息）。此外，必要时，CPU12 可以经调制解调电路 34 和天线 32 控制送出由数字摄像机 36 摄影的动画信息。

（X 驱动器 IC 的说明）

图 4 是图 1 所示的内置 RAM 的 X 驱动器 IC24 的概略方框图。作

为图 4 所示的内置 RAM X 驱动器 IC24 的输入输出电路, 设有 MPU 接口 100 和输入输出缓冲器 102 和输入缓冲器 104.

MPU 接口 100 输入反相片选信号 XCS、命令/数据识别信号 A0、反相读信号 XRD、反相写信号 XWR 和反相复位信号 XRES 等.

5 输入输出缓冲器 102 输入例如 8 比特的命令或静画数据 D7~D0. 再有, 在图 4 中, 示出并行输入输出信号 D7~D0 的例子, 但当没有必要从 X 驱动器 IC24 内的显示数据 RAM160 向 MPU10 读出数据时, 也可以将起始比特作为识别信号 A0, 接下来串行输入输出信号 D7~D0. 这一来, 可以减少 MPU10 和 X 驱动器 IC24 的端子数.

10 输入缓冲器 104 例如输入由 6 比特的 R、G、B 信号形成的动画数据和时钟信号 CLK. 各 6 比特的 G、R、B 信号与时钟信号 CLK 同步并行输出.

X 驱动器 IC24 设有与 MPU 接口 100 和输入输出缓冲器 102 连接的第 1 总线 110 和与输入缓冲器 104 连接的第 2 总线 120.

15 第 1 总线 110 与总线保持器 112 和命令译码器 114 连接, 第 2 总线 120 与总线保持器 122 连接. 再有, 输入输出缓冲器 102 与状态设定电路 116 连接, X 驱动器 IC24 的工作状态输出给 MPU10. 该工作状态是由 X 驱动器 IC24 设定的内部状态, 例如, 画面内给定的滚动区的滚动方式, 显示是否为开状态, 输出从 MPU10 输入的给定的命令经命令译码器 114 译码的结果.

20 第 1、第 2 总线 110、120 都与显示数据 RAM160 的 I/O 缓冲器 162 连接, 传送对显示数据 RAM160 进行读写的静画数据和动画数据.

X 驱动器 IC24 除上述显示数据 RAM160、I/O 缓冲器 162 之外, 还设有 MPU 系统控制电路 130、列地址控制电路 140、页地址控制电路 150、驱动系统控制电路 170、PMW 译码器电路 180 和液晶驱动电

25 路 190.

MPU 系统控制电路 130 根据经命令译码器 114 输入的 MPU10 的命令, 对显示数据 RAM160 进行读写控制. 设有由该 MPU 系统控制电路 130 控制的列地址控制电路 140 和页地址控制电路 150. 在本实施形态中, 列地址控制电路 140 具有指定静画数据的写入列地址和静画及动画数据的读出列地址的第 1 列地址控制电路 142 和指定动画数据的写入列地址的第 2 列地址控制电路 144. 页地址控制电路 150 具有指

30

定静画数据的写入页地址和静画及动画数据的读出页地址的第 1 页地址控制电路 152 和指定动画数据的写入页地址的第 2 页地址控制电路 154。再有，从 MPU10 来的垂直、水平同步信号 H·Vsync 输入 MPU 系统控制电路 130（图 4 中未图示）。水平同步信号 Hsync 用来使设在第 2 列、页地址控制电路 144、154 内的计数器置位、复位，以便尽力抑制因动画数据写入时噪声等的误写入而引起的显示偏差。进而，水平·垂直同步信号 H·Vsync 用来使列地址、页地址返回起始地址 SA。此外，页地址控制电路 150 由驱动器系统控制电路 170 控制，包含对每一行指定显示地址的显示地址控制电路 156。

10 驱动器系统控制电路 170 包含 X 驱动器系统控制电路 172 和 Y 驱动器系统控制电路 174。该驱动器系统控制电路 170 在振荡电路 176 的振荡输出的基础上产生色调控制脉冲 GCP、极性反向信号 FR 和锁存脉冲 LP 等，独立于 MPU 系统控制电路 130 而控制显示地址控制电路 156、PWM 译码电路 180、电源控制电路 178 和 Y 驱动器 IC26。

15 PWM 译码电路 180 锁存从显示数据 RAM160 对每一行读出的数据，再按极性反向的周期输出与色调值对应的脉冲幅度的信号。液晶驱动电路 190 对从 PWM 译码电路 180 来的信号进行电平移动，使其变成与 LCD 显示系统的电压对应的电压，并供给图 1 所示的液晶面板 20 的段电极 SEG。

20 （显示数据 RAM 及其外围电路的说明）

图 5 是显示数据 RAM160 及其外围电路的概略电路图。在图 5 中，示出分别设在第 1、第 2 列地址控制电路 142、144、第 1、第 2 页地址控制电路 152、154 和显示地址控制电路 156 的最后一级的第 1、第 2 列地址译码器 142A、144A、第 1、第 2 页地址译码器 152A、154A 和显示地址译码器 156A。

25 图 5 进而示出第 1、第 2 行存储器单元 C10、C11、…C20、C21、…。而且，在图 5 所示的各存储器单元中，第 1～第 3 字线 W1～W3 与第 1 位线对 B1、/B1 和第 2 位线对 B2、/B2 连接。

30 第 1 列地址译码器 142A 输出使与第 1 位线对 B1、/B1 连接的第 1 列开关 SW1 通断的信号。第 2 列地址译码器 144A 输出使与第 2 位线对 B2、/B2 连接的第 2 列开关 SW2 通断的信号。第 1 页地址译码器 152A 提供使第 1 字线 W1 有效的信号，第 2 页地址译码器 154A 提供

使第 2 字线 W2 有效的信号, 显示地址译码器 156A 提供使第 3 字线 W3 有效的信号。

与先有技术相比, 在本实施形态中, 新设置了第 2 字线 W2、第 2 位线对 B2、/B2、第 2 列开关 SW2、第 2 列地址译码器 144A、第 2 页地址译码器 154A。

第 2 列和页地址译码器 144A、154A 只在指定用来写入动画数据 (R、G、B) 的列和页地址时使用, 利用该地址的指定, 可以经第 2 总线 120 和第 2 列开关 SW2, 将动画数据 (R、G、B) 写入存储器单元。

第 1 列和页地址译码器 142A、152A 在写入静画数据和读出静画和动画数据时, 指定列和页地址。利用该地址的指定, 可以经第 1 总线 110 和第 1 列开关 SW1, 对显示数据 RAM160 进行读写。

显示地址译码器 156A 通过一行一行地依次激活第 3 字线 W3, 将 1 行上的存储器单元的数据读出到显示数据输出线 OUT 上。该读出数据由 PWM 译码电路 180 供给, 用来驱动液晶。

15 (存储器单元的构成)

图 6 是表示显示数据 RAM16 内的存储器单元 C10 的电路图。存储器单元 C10 具有和其它存储器单元相同的结构。该存储器单元 C10 具有由 2 个 CMOS 反相器 201、202 构成的存储元件 200。2 个 CMOS 反相器 201、202 具有其输入输出之间相互连接的第 1、第 2 布线 204、206。在第 1 布线 204 和位线 B1 之间连接第 1 N 型 MOS 晶体管 210 (第 1 开关), 该晶体管的栅极与第 1 字线 W1 连接。同样, 在第 2 布线 206 和位线/B1 之间连接第 2 N 型 MOS 晶体管 212 (第 1 开关), 该晶体管的栅极与第 1 字线 W1 连接。

根据以上构成, 当利用从第 1 页地址译码器 152A 来的有效信号使第 1 字线 W1 变成 H 电平时, 第 1、第 2 N 型晶体管 210、212 导通。因此, 存储器单元 C10 与第 1 对位线 B1、/B1 连接。这时, 当利用从第 1 列地址译码器 142A 来的有效信号使第 1 列开关 SW1 接通时, 可以对存储器单元 C10 进行数据的读写。

此外, 在电源供给线 VDD 和显示数据输出线 OUT 之间连接第 1、第 2 P 型 MOS 晶体管 220、222。第 1 P 型 MOS 晶体管 220 的栅极与第 2 布线 206 连接, 第 2 P 型 MOS 晶体管 222 的栅极与第 3 字线 W3 连接。

在向显示数据输出线 OUT 读出存储器单元 C10 的数据之前，该显示数据输出线 OUT 被预充电到 L 电平。在该预充电动作之后，在把第 3 字线 W3 作为 L 电平使第 2 P 型 MOS 晶体管 222 导通的状态下，利用 PWM 译码电路 180 锁存显示数据输出线 OUT 的数据。这时，若第 2 布线 206 的电位为 H 电平（第 1 布线 204 的电位是 L），则显示数据输出线 OUT 维持 L 电平不变，若第 2 布线 206 的电位为 L 电平（第 1 布线 204 的电位是 H），则显示数据输出线 OUT 变成 H 电平。这样一来，可以在一行同时从显示数据 RAM160 读出显示数据。

在本实施形态中，进而设有第 2 字线 W2 和第 2 位线对 B2、/B2。因此，在第 1 布线 204 和位线 B2 之间连接第 3 N 型 MOS 晶体管 230（第 2 开关），该晶体管的栅极与第 2 字线 W2 连接。同样，在第 2 布线 206 和位线/B2 之间连接第 4 N 型 MOS 晶体管 232（第 2 开关），该晶体管的栅极与第 2 字线 W2 连接。

根据以上构成，当利用从第 2 页地址译码器 154A 来的有效信号使第 2 字线 W2 变成 H 电平时，第 3、第 4 N 型晶体管 230、232 导通。存储器单元 C10 与第 2 对位线 B2、/B2 连接。这时，当利用从第 2 列地址译码器 144A 来的有效信号使第 2 列开关 SW2 接通时，可以对存储器单元 C10 进行动画数据的写入。

（对显示数据 RAM 写入静画、动画）

MPU10 根据动画信息预先得知与图 1 或图 3 所示的动画显示区域 22A 的开始和结束地址 SA、EA 对应的显示数据 RAM160 的页地址和列地址。因此，MPU10 可以按照规定的写入频率反复指定与显示数据 RAM160 的区域中的动画显示区域 22A 对应的区域的列地址和页地址。与该动画区域 22A 对应的区域的列地址和页地址经由 X 驱动器 IC24 的输入输出缓冲器 102 和 MPU 系统控制电路 130，输入到第 2 列地址控制电路 144 和第 2 页地址控制电路 154。最后，经图 5 所示的第 2 列地址译码器 144A 和第 2 页地址译码器 154A，指定显示数据 RAM160 的列地址和页地址。对于动画数据，通过经由输入缓冲器 104 和第 2 总线 120，可以利用与静画数据的总线 110 不同的路径进行实时传送。由此，可以实时改写动画数据。

另一方面，MPU10 指定与显示数据 RAM160 的区域中的静画显示区域 22B 对应的区域的列地址和页地址，只有在有从操作输入部 38 来的

信息输入时等静画数据发生变更时，才利用规定的写入频率进行数据改写。

这样，在本实施形态中，当向显示数据 RAM160 写入静画和动画时，通过各自的路径进行地址的指定和数据传送，它们之中的某些数据被写入存储器单元。因此，可以以页为单位将静画和动画同时写入不同的存储器中，而不必停止任何一方数据的写入。

此外，因存储器单元构成为可以写入静画和动画中任何一种数据，故可以任意变更动画显示区域 22A。

这里，当在液晶显示面板 20 的动画显示区域 22A 显示动画时，例如，按照 60Hz、即 1 秒钟可以显示 60 帧的图 7 所示的读出时钟，可以从显示数据 RAM160 中读出显示数据。

另一方面，静画数据可以按照比液晶显示的驱动频率高的、例如 90Hz、即 1 秒钟可以显示 90 帧的静画写入时钟，将显示数据写入显示数据 RAM160。这样，因利用比显示读出速率高的写入速率进行静画的改写，故可以实现跟踪与操作输入部 38 的操作对应的滚动显示等的显示。

与此相对，对于动画数据，因利用人的视网膜残留图像的现象，故当象便携式电话机那样，不要求精密动画显示时，即使动画的帧数少（不必与显示对应改写全部 60 帧）也无妨。在本实施形态中，例如，可以以 20Hz、即 1 秒钟可以写入 20 帧动画数据的频率进行写入，也可以以 60 帧的频率从 MPU10 只把 $20/60=1/3$ 的数据送给 X 驱动器 IC24。当使用未内置 RAM 的 X 驱动器 IC24 时，必须始终改写 60 帧的数据，但通过降低动画的改写频率（降低改写速率）或减少改写的数据量，可以减少与静画不同平时必须改写显示数据 RAM160 的内容的动画数据的改写次数，可以相应地减小存储器单元的功耗。

〈第 2 实施形态〉

图 8 是本发明的第 2 实施形态的 X 驱动器 IC300 的部分方框图。再有，在图 8 中，对于具有和图 4 相同功能的电路使用和图 4 相同的符号并省略其详细说明。此外，图 8 省略的电路和图 4 的电路相同。

图 8 所示的 X 驱动器 IC300 和图 4 所示的 X 驱动器 IC24 的不同点首先在于设置了第 1、第 2 显示数据 RAM310、320。第 1 显示数据 RAM 310 存储静画数据，第 2 显示数据 RAM 320 存储动画数据。再有，



第 1、第 2RAM310、320 可以不要图 6 所示的第 2 字线 W2、第 2 位线对 B2、/B2、第 2 列开关 SW2、第 2 列地址译码器 144A 和第 2 页地址译码器 154A，而使用先有构成的存储器单元。

图 9 示出第 1 显示数据 RAM310 的静画存储区 310A、第 2 显示数据 RAM320 的动画存储区 320A、液晶面板 22 的动画显示区 22A 和静画显示区 22B 的关系。

第 1、第 2 显示数据 RAM310、320 具有与液晶面板 22 的一幅画面的所有象素对应的存储区。由此，图 9 所示的静画存储区 310A 和动画存储区 320A 可以任意变更。再有，在图 9 中，为说明方便起见，将第 1、第 2 显示数据 RAM310、320 的各存储空间和液晶面板 22 的显示空间描绘成具有相同的大小。

例如，以每秒 20 帧的速率将数据写入第 2 显示数据 RAM320 的动画存储区 320A 中，例如，以每秒 60 帧的速率读出数据，再在液晶面板 22 的动画显示区域 22A 上显示。另一方面，例如，以每秒 90 帧的速率将数据写入第 1 显示数据 RAM310 的静画存储区 310A 中，例如，以每秒 60 帧的速率读出数据，再在液晶面板 22 的静画显示区域 22B 上显示。

这样，第 2 实施形态与第 1 实施形态不同，设置了第 1、第 2 显示数据 RAM310、320。因此，与第 1 显示数据 RAM310 对应，设置第 1 列地址控制电路 142、第 1 I/O 缓冲器 312、第 1 页地址控制电路 152 和第 1 显示地址控制电路 330。同样，与第 2 显示数据 RAM320 对应，设置第 2 列地址控制电路 144、第 2 I/O 缓冲器 322、第 2 页地址控制电路 154 和第 2 显示地址控制电路 340。

进而设置选择器 350，根据 MPU 系统控制电路 130 的输出，从第 1、第 2 显示数据 RAM310、320 中选择显示数据，再输出给 PWM 译码电路 180。

本发明的第 2 实施形态也分别利用单独的第 1、第 2 总线 110、120 传送静画和动画。此外，用来向第 1RAM310、第 2RAM320 写入数据的列和页地址也用静画和动画分开的系统来指定。因此，可以在向第 2RAM320 写入动画数据的同时，向第 1RAM310 写入静画数据，不必等到动画数据的写入结束后再写入静画数据。

<实施形态 3>

在第 1、第 2 实施形态的内置 RAMX 驱动器 IC 中，与过去不同，利用分开的传输线接收从 MPU10 供给来的动画数据和静画数据，并分别由分开的系统进行写入。但是，当动画数据随着动画显示区的扩大和色调数的增加等其应传送的数据量增加时，其传送容量会有一定的界限。此外，当考虑用来传送各 6 比特的 R、G、B 信号、时钟信号 CLK、水平·垂直同步信号 H·Vsync、共计 21 个信号的布线区域和端子个数增大的因素时，更难以与色调数的增加相适应，有时可靠性反而会降低。

因此，在第 3 实施形态的内置 RAMX 驱动器 IC 中，通过经高速串行传输线从 MPU 供给动画数据，可以抑制应传送的信号的布线区域和端子个数的增大，同时，可以使用分开的系统写入静画数据和动画数据。

这里，高速串行传输线是指把串行传送数据作为差动信号进行传送，并通过在接收侧进行差动放大来进行高速数据传送的传输线。作为这样的高速串行传输线，已提案各种标准，例如，有已作为美国电子通信工业协会（TIA）/美国电子工业协会（EIA）-644、IEEE（电气与电子工程师协会）1596.3 标准化了的 LVDS（低压差动信号传输）标准、IEEE1394 标准或 USB（通用串行总线）标准等。

（LVDS 标准的高速传送）

图 10 是具有第 3 实施形态的 X 驱动器 IC400 的电子仪器的概略框图。

再有，在图 10 中，对于具有和图 1 相同功能的电路使用和图 1 相同的符号并省略其详细说明。

图 10 所示的电子仪器与图 1 所示的电子仪器的不同点在于在 MPU400 和显示单元 410 的 X 驱动器 IC420 之间连接有 LVDS 标准的高速串行传输线。在该高速串行传输线上把串行动画数据作为差动信号传送。

图 11A、图 11B 原理性地示出显示数据传输线接口部（图 11A）和 LVDS 标准的高速串行传输线的接口部（图 11B）。

即，在图 11A 所示的技术中，利用由 CMOS 晶体管构成的输出缓冲器 450、452，在附加布线电容的信号传输线上驱动与传送信号对应的电压。在接收侧，用由 CMOS 晶体管构成的输入缓冲器 454、456 对

信号传输线进行接收。这里，若设数据传输线和时钟信号 CLK 的传输线的布线电容为 $C(F)$ ，数据传送速率为 $f(Hz)$ ，输出缓冲器的电源电压为 $V(V)$ ，则伴随数据传送的耗电电流 I_{op0} 可由下式表示。

$$I_{op0} = fCV[A] \quad \dots (1)$$

5 因此，传送速率越高耗电电流越多。但是，实际上，因布线电容 C 的原因，传送速率不可能太高。

与此相对，如图 11B 所示，从发送侧通过差动输出驱动器 460、462 输出与传送信号对应的差动信号。更具体一点说，从发送侧的差动输出驱动器向由双绞线或印刷电路板等的平衡传输线形成的信号
10 传输线流过恒定电流，利用接收侧的差动输入接收，对连接在差动信号传输线之间的终端电阻上发生的差动电压进行放大。

这时，在发送侧，对应与利用 PLL 电路 468 使时钟信号 CLK 例如 9 倍频的倍频时钟信号同步传送的数据进行串行变换，并与时钟信号同步传送。在接收侧，与利用 PLL 电路 470 使接收的时钟信号 CLK 例
15 如 9 倍频的倍频时钟信号同步，对接收的串行数据进行并行变换。

这里，若设伴随差动信号传送的恒定电流为 $I_{const}[A]$ ，发送侧和接收侧的 PLL 电路 468、470 的耗电电流为 $I_{pll}[A]$ ，则伴随数据传送的耗电电流 I_{opl} 可由下式 (2) 表示。

$$I_{opl} = I_{const} + I_{pll} \quad \dots (2)$$

20 图 12 示出表示伴随 LVDS 标准的数据传送的耗电电流和伴随 CMOS 驱动器进行的数据传送的耗电电流的关系的曲线。

这里，示出使数据传送速率变化时，使用由 CMOS 晶体管构成的驱动器进行数据传送时的耗电电流 480 和按 LVDS 标准进行数据传送时的耗电电流 482。

25 即，如图 11A 所示那样，当由 COM 驱动器进行数据传送时，根据 (1) 式，耗电电流与数据传送速率成比例增加。

与此相对，在图 11B 所示的 LVDS 标准数据传送中，必需要有与数据传送速率对应的恒定电流。但是，必要的恒定电流在数据传送速率低和数据传送速率高时大致相同。

30 因此，这意味着在按 LVDS 标准的数据传送中，当传送速率低时，比以往的数据传送耗电电流多，另一方面，当传送速率高时，可以比比以往低的耗电电流进行高速数据传送。

因此，第 3 实施形态的特征是，当数据传送速率低时，通过在不进行数据传送的期间抑制恒定电流的耗电，与先有的数据传送相比较，既可以实现高速数据传送，又可以实现低功耗。更具体一点说，使发送侧的差动输出驱动和接收侧的差动输入接收的动作停止来消除恒定电流。

图 13 示出对于这样的第 3 实施形态中的电子仪器进行 LVDS 标准的高速串行传送的 MPU 和显示单元的接口部分的概要构成。

对与图 1、图 10 或图 11A、图 11B 相同的部分添加相同的符号并适当省略其说明。

10 该电子仪器的 MPU400 和显示单元 410 经 LVDS 标准的高速串行传输线连接。

MPU400 与上述 MPU10 的不同点在于包括具有 LVDS 标准的高速串行传送的发送接口功能的 LVDS 发送电路 490 和数据有效信号生成电路 492。

15 显示单元 410 与上述显示单元 20 的不同点在于包括具有 LVDS 标准的高速串行传送的接收接口功能的 LVDS 接收电路 494。这里，显示单元 410 的 LCD 驱动器 496 与图 10 中的 X 驱动器 IC420 和 Y 驱动器 IC26 相当。

20 LVDS 发送电路 490 至少包含差动输出驱动器 460、462、PLL 电路 468、并/串变换电路 498。

并/串变换电路 498 对由具有应传送的动画数据的扫描变换功能的 DSP16 供给的 R、G、B 信号与经 PLL 电路 468 倍频后的倍频时钟信号同步进行串行变换，并供给差动输出驱动器 460。

25 数据有效信号生成电路 492 生成只当由 DSP16 生成的动画数据有效时才有效的数据有效信号，并输出给显示单元 410 的 LVDS 接收电路 494。

LVDS 接收电路 494 至少包含差动输入接收器 464、466、PLL 电路 470 和串并变换电路 500。

30 串并变换电路 500 将由差动输入接收器 464 接收的串行数据作为与经 PLL 电路 470 倍频后的倍频时钟信号同步进行了并行变换的 R、G、B 信号，供给 LCD 驱动器 496（X 驱动器 IC20）。此外，当由数据有效信号生成电路 492 生成的数据有效信号无效时，至少停止差动输

入接收器 464、466 和 PLL 电路 470 的工作，可以消除流过这些电路的恒定电流。

此外，LVDS 接收电路 494 与由数据有效信号生成电路 492 生成的数据有效信号同步，向 X 驱动器 IC 的数据 RAM 写入 R、G、B 信号。

5 这样一来，可以不用设置用于水平·垂直同步信号 H·Vsync 的信号传输线，而准确无误地显示动画数据。

这样的数据有效信号生成电路 492 通过着眼于串行传输线的高速性能，只在必要时才在串行传送时流过必要的恒定电流，可以兼顾高速传送和低功耗。

10 图 14 示出由这样的数据有效信号生成电路 492 生成的数据有效信号的生成时序的一个例子。

这里，示出在显示画面的 1 帧周期 T 期间从 MPU400 传送 1 个画面的动画数据的情况。

即，当用比 1 帧周期 T 短的时间传送传送 1 个画面的动画数据时，
15 数据有效信号生成电路 492 与垂直同步信号 Vsync 的上升沿同步，激活数据有效信号。接着，生成只在相当于预先知道的 1 个画面的动画数据那么多的数据的期间才成为有效期间的脉冲。

这样一来，虽然在 t_1 期间伴随高速串行传送消耗恒定电流，但在 $(T - t_1)$ 期间可以抑制该恒定电流的消耗。

20 数据有效信号生成电路 492 生成的数据有效信号的生成时序不限于此，可以利用各种各样的时序生成。

图 15 示出由数据有效信号生成电路 492 生成的数据有效信号的生成时序的另一个例子。

25 这里，示出在显示画面的 1 帧周期 T 期间从 MPU4001 和一行一行地传送 1 个画面的动画数据的情况。

即，把 1 帧周期 T 的时间分割成相当于 1 个画面的行数那么多的时间段，当在每一个这样的时间段传送 1 个画面的 1 行动画数据时，数据有效信号生成电路 492 首先在 1 画面的 1 行中，与水平同步信号 Hsync 的上升沿同步，激活数据有效信号。接着，生成只在相当于预先知道的 1 个画面的 1 行动画数据那么多的数据的期间才成为有效期间的脉冲。对第 1 行之后的数据有效信号也一样，与每一行生成水平同步信号 Hsync 的上升沿同步，生成只在相当于预先知道的 1 个画面
30

的 1 行动画数据那么多的数据的期间才成为有效期间的脉冲。

此外，也可以对每一行，与垂直同步信号 V_{sync} 的上升沿同步，生成只在相当于预先认识的每一行的 1 行动画数据那么多的数据的期间才成为有效期间的脉冲状的有效数据。

- 5 这样一来，当按每一行传送动画数据时，把原来 1 帧周期 T 分割成行传送期间 T_0 、 T_1 、 \dots 、 T_N ，只在期间 t_0 、 t_1 、 \dots 、 t_N 才伴随高速传送消耗恒定电流。因此，在各传送期间，可以将期间 $(T_0 - t_0)$ 、 $(T_1 - t_1)$ 、 \dots 、 $(T_N - t_N)$ 内的恒定电流的消耗抑制掉。

- 10 图 16 是图 10 所示的内置 RAM X 驱动器 IC420 的方框图。与图 4 所示的内置 RAM X 驱动器 IC420 的不同点在于设置 LVDS 接收电路 494 以代替输入缓冲器 104。

- 15 LVDS 接收电路 494 如图 13 说明的那样，用差动输入接收机对经接 LVDS 标准高速串行传输线输入的时钟信号 CLK 和串行数据 SD 进行差动放大，并变换成并行动画数据。此外，另外还包含动作停止控制电路，输入数据有效信号 DV，只当数据有效信号 DV 有效时，才使时钟信号 CLK 和串行数据 SD 的差动输入接受机动作。

这样的 LVDS 接收电路 494 与第 2 总线 120 连接。

(IEEE1394 标准的高速传送)

- 20 图 17 示出对于第 3 实施形态中的电子仪器进行 IEEE1394 标准的高速串行传送的 MPU 和显示单元的接口部分的概要构成。

对与图 1、图 10、图 11A、图 11B 或图 13 相同的部分添加相同的符号并适当省略其说明。

该电子仪器的 MPU550 和显示单元 560 经 IEEE1394 标准的高速串行传输线连接。

- 25 MPU550 与上述 MPU400 的不同点在于包括具有 IEEE1394 标准的高速串行传送的发送接口功能的 IEEE1394 发送电路 570。

显示单元 560 与上述显示单元 410 的不同点在于包括具有 IEEE1394 标准的高速串行传送的接收接口功能的 IEEE1394 接收电路 572。

- 30 IEEE1394 发送电路 570 至少包含用来进行 IEEE1394 标准的高速串行传送的并/串变换电路、编码电路和差动输出驱动器 (未图示)。

IEEE1394 发送电路 570 的并/串变换电路对由具有应传送的动画

数据的扫描变换功能的 DSP16 供给的 R、G、B 信号进行串行变换。编码电路根据称之为 DS Link (数据/选通 链接) 方式的编码方式, 从串行 R、G、B 信号生成串行数据 SD 和选通信号 STB。

在 DS Link 方式中, 利用串行数据 SD 和选通信号 STB 的 2 对差动信号线进行高速串行传送。IEEE1394 发送电路 570 与发送时钟同步生成串行数据 SD 和选通信号 STB, 并分别经差动信号线传送。

IEEE1394 接收电路 572 至少包含差动输入接收器、译码电路和串并变换电路。

IEEE1394 接收电路 572 中的差动输入接收器在每一对差动信号线上对串行数据 SD 和选通信号 STB 进行差动放大后再接收。译码电路根据由差动接收器接收的串行数据 SD 和选通信号 STB 生成串行动画数据, 同时, 抽出时钟信号。串并变换电路把已变换的串行动画数据变换成并行数据, 并作为 R、G、B 信号供给 LCD 驱动器 496。

图 18 示出在图 17 中的 MPU550 和显示单元 560 之间进行的 DS Link 方式的传送时序的一个例子。

在 DS Link 方式中, 对串行数据 SD 的已串行化的信号生成图 18 所示的选通信号 STB。即, 当在串行数据 SD 之后是相同的数据时, 使选通信号 STB 变化, 当串行数据 SD 已变化时, 不使选通信号 STB 变化。

此外, 在 IEEE1394 接收电路 572 中, 通过对串行数据 SD 和选通信号 STB 进行异或来得到时钟信号 CLK。该时钟信号 CLK 和并行的 R、G、B 信号一起供给 LCD 驱动器 496。此外, IEEE1394 接收电路 572 与图 13 所示的 LVDS 接收电路 494 一样, 只在由数据有效信号生成电路 492 生成的数据有效信号 DV 有效时才使差动输入接收器工作, 由此, 来降低功耗。

这样, 按照 IEEE1394 标准在 MPU 和显示单元之间高速串行传送动画数据, 由此, 和按 LVDS 标准进行动画数据的传送一样, 可以降低功耗, 同时, 可以不要 PLL 电路。因此, 可以更加缩小电路规模, 可以省去 PLL 电路的功耗。

(USB 标准的高速传送)

图 19 示出对于第 3 实施形态中的电子仪器进行 USB 标准的高速串行传送的 MPU 和显示单元的接口部分的概要构成。

这里，示出全速 USB 标准接口部，对与图 1、图 10、图 11A、图 11B 或图 13 相同的部分添加相同的符号并适当省略其说明。

该电子仪器的 MPU600 和显示单元 610 经 UBS 标准的高速串行传输线连接。

- 5 MPU600 与上述 MPU400 的不同点在于包括具有 USB 标准的高速串行传送的发送接口功能的 USB 发送电路 620。

显示单元 610 与上述显示单元 410 的不同点在于包括具有 USB 标准的高速串行传送的接收接口功能的 USB 接收电路 622。

- 10 USB 发送电路 620 至少包含用来进行 USB 标准的高速串行传送的 USB 发送处理电路 630 和差动输出驱动器 632。差动输出驱动器 632 的 + 侧 / - 侧经下拉电阻 R1 接地。

USB 发送处理电路 630 对由具有应传送的动画数据的扫描变换功能的 DSP16 供给的 R、G、B 信号进行串行变换，形成规定比特长度的 USB 数据包。

- 15 USB 接收电路 622 至少包含差动输入接收器 634 和用来对 USB 标准的高速串行传送进行接收的 USB 接收处理电路 636。差动输入接收器 634 的一侧经上拉电阻 R2 使电平上拉。

- 20 USB 标准的高速串行传送除差动信号之外，还使用差动信号线的 + 侧和 - 侧的逻辑电平都为 L 的所谓单端 0 的状态，以规定比特长度的数据包为单位进行。单端 0 表示数据包结束。

接收处理电路的差动输入接收器为了检测出单端 0 的逻辑电平 L，构成单端接收器。

- 25 USB 接收处理电路 636 分解已接收的数据包数据，生成 R、G、B 信号的并行信号。各数据包数据例如从 8 比特的同步码开始，在接收处理电路中，根据该同步码生成时钟信号 LCK，并与此同步生成 R、G、B 信号。

- 30 这样，按照 USB 标准在 MPU 和显示单元之间高速串行传送动画数据，由此，和按 LVDS 标准进行动画数据的传送一样，可以降低功耗，同时，可以不要 PLL 电路。因此，可以更加缩小电路规模，可以省去 PLL 电路的功耗。

再有，本发明不限于上述实施形态，在不脱离本发明要则的范围内，可以实施各种各样的变形后的形态。

此外，用来进行上述实施形态中的高速串行传送的差动输出驱动器、差动输入接收器的构成不限于 COS、ECL 等各种制造技术。

- 此外，本发明特别适用于 LVDS 标准、IEEE1394 标准或 USB 标准的数据传送，但并不局限于此。例如，本发明也可以适用于基于和这
- 5 些高速串行数据传送相同思想的标准或发展了这一思想的标准的数据传送或转送。

说明书附图

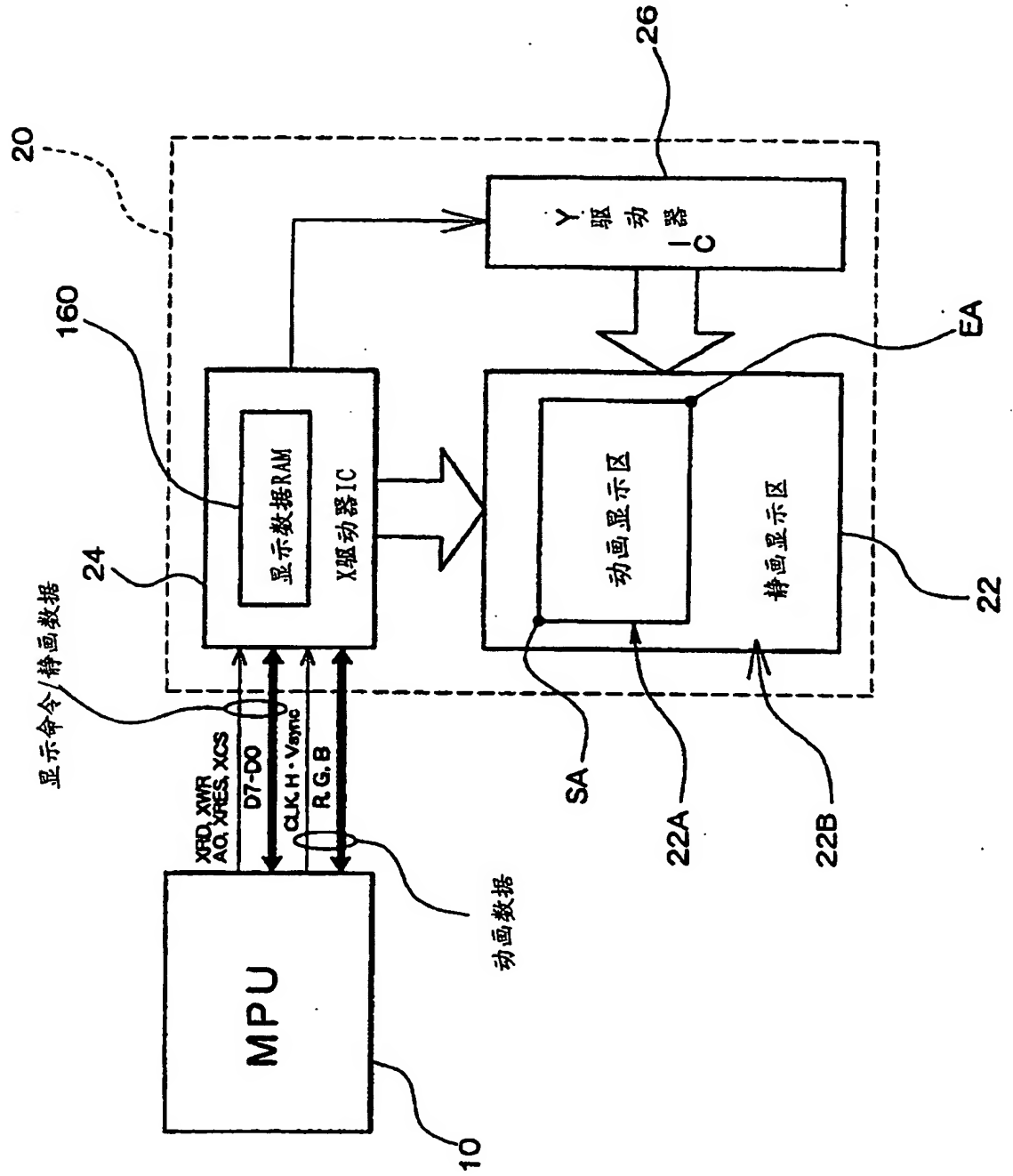


图 1

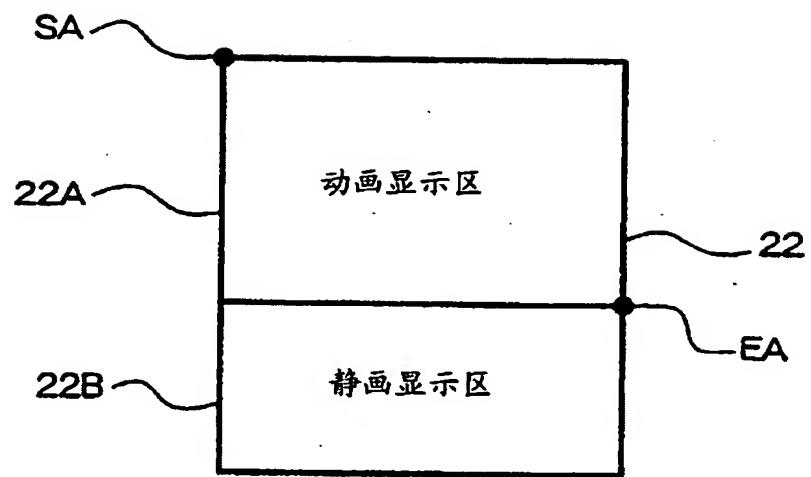


图 3

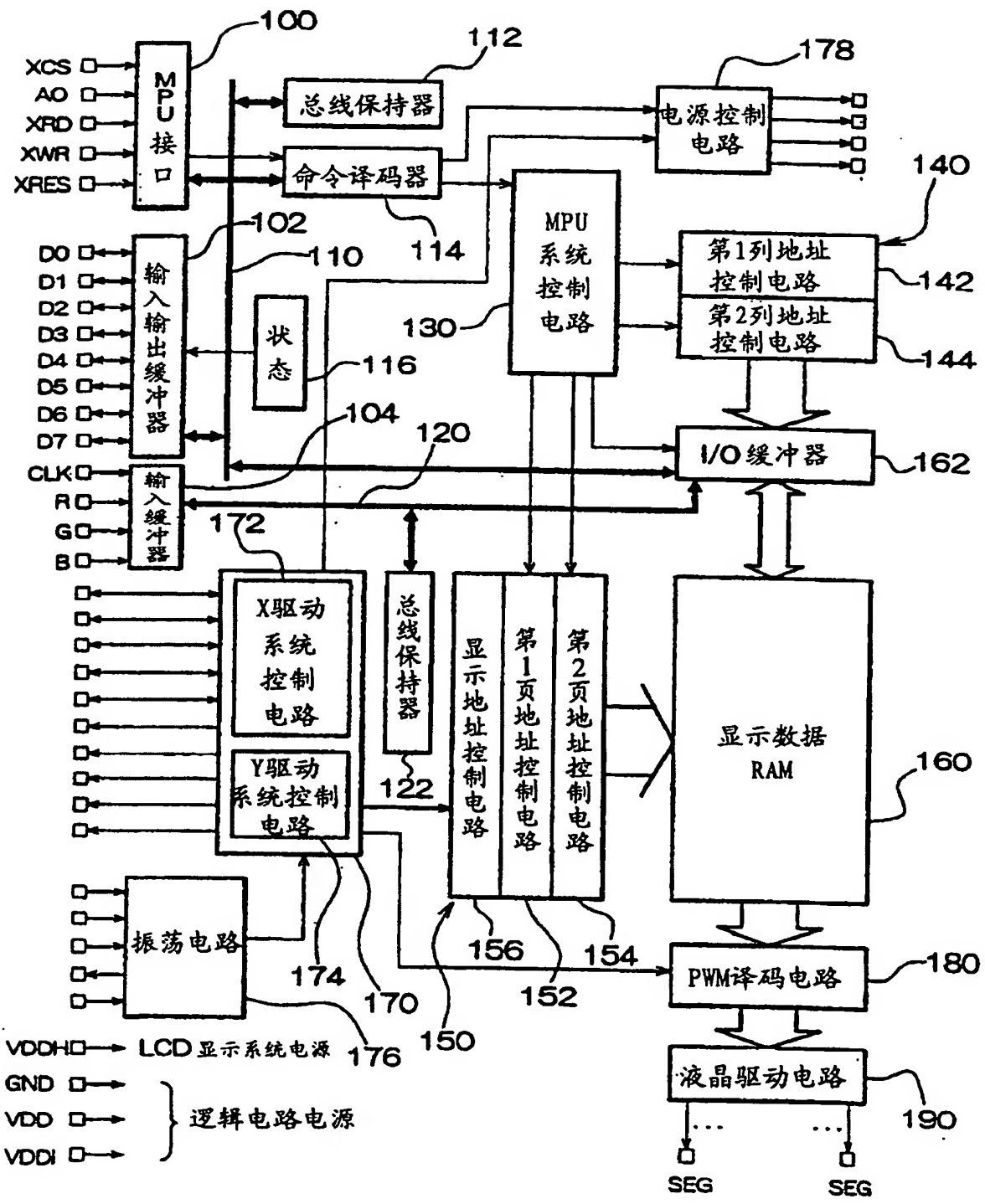


图 4

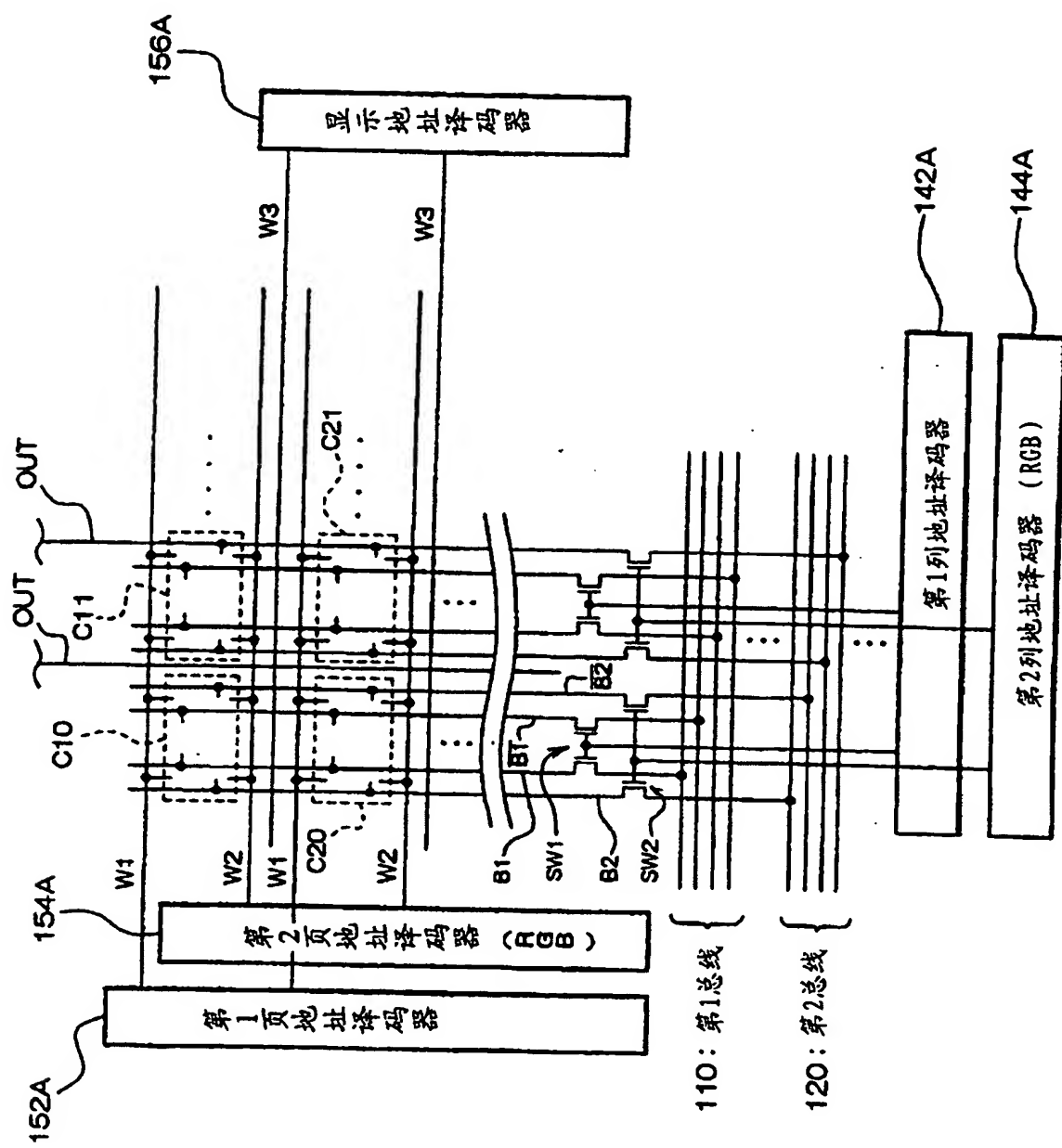


图 5

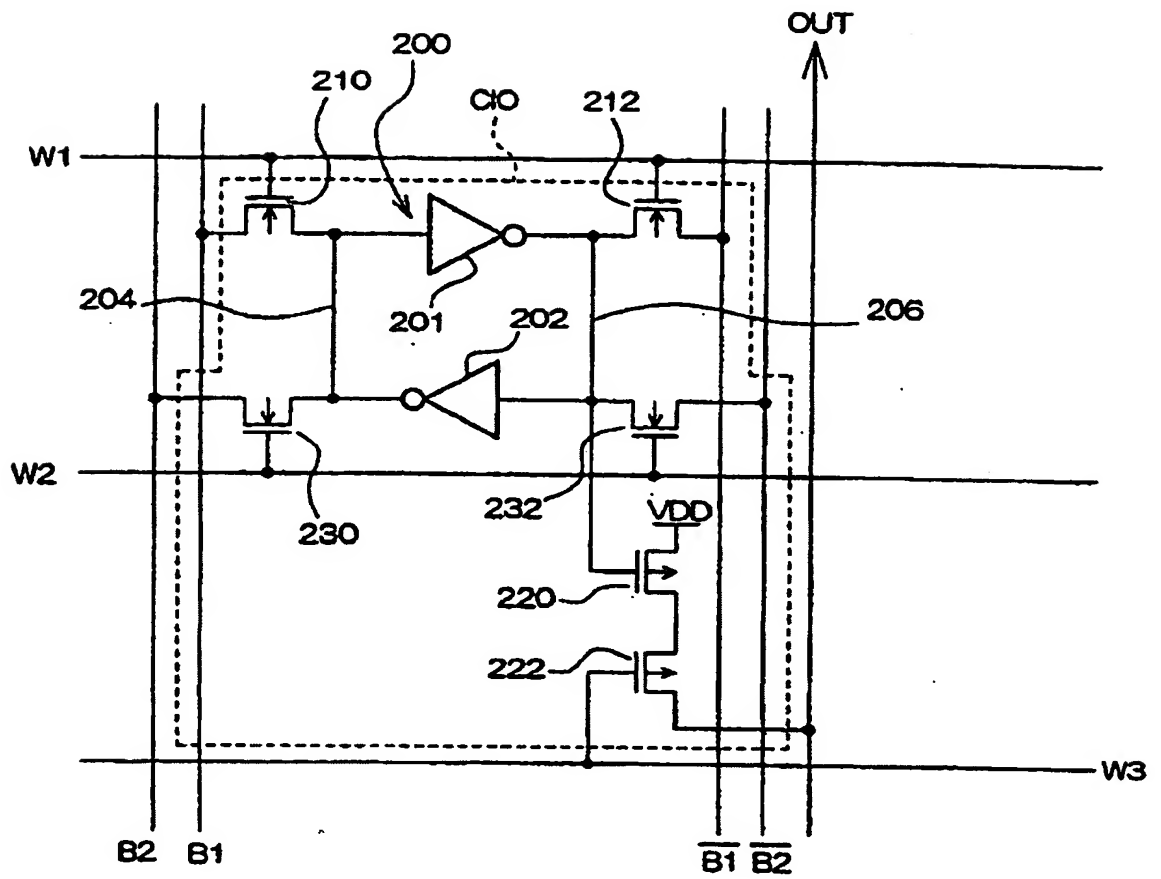


图 6

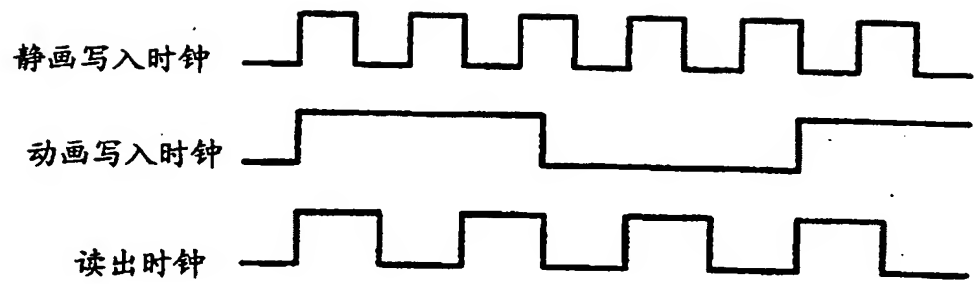


图 7

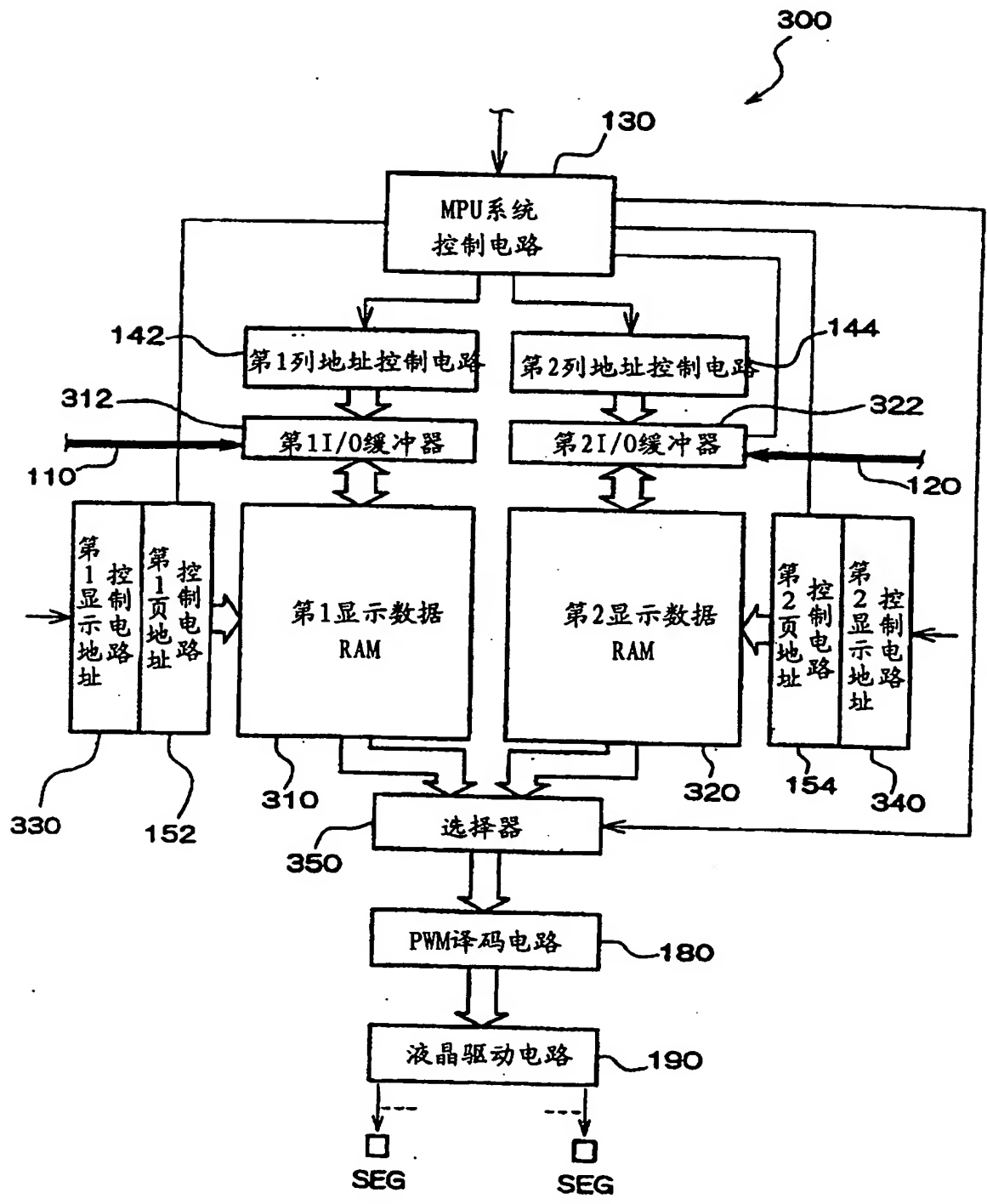


图 8

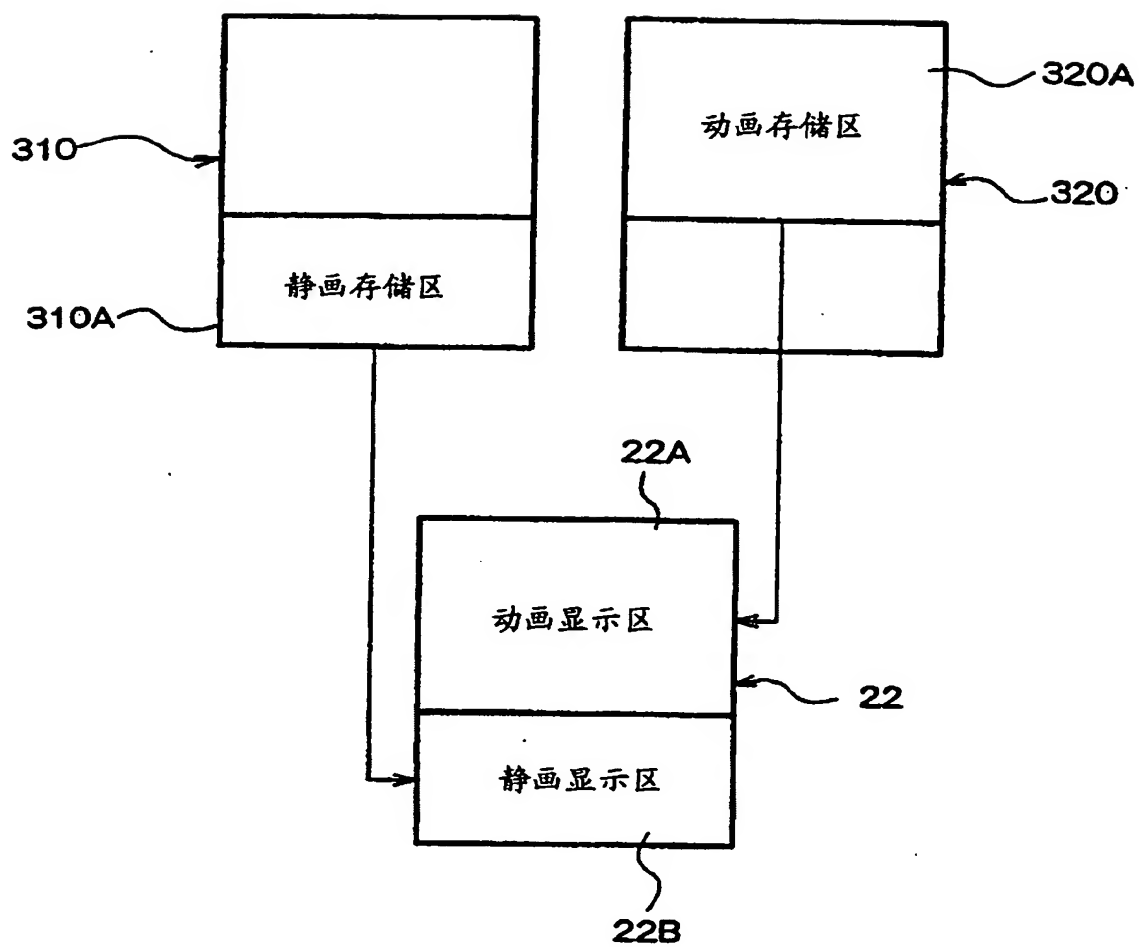


图 9

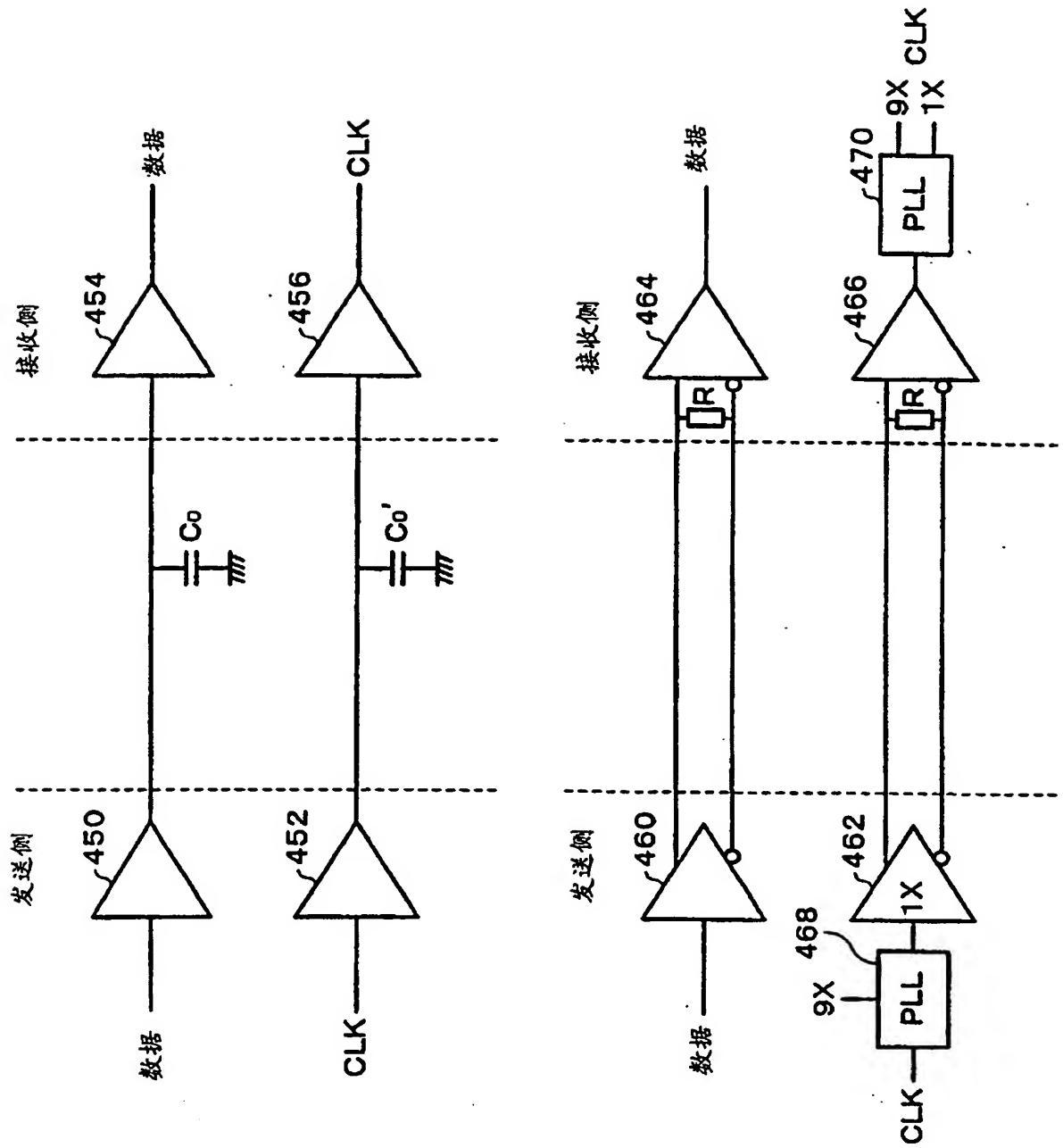


图 11

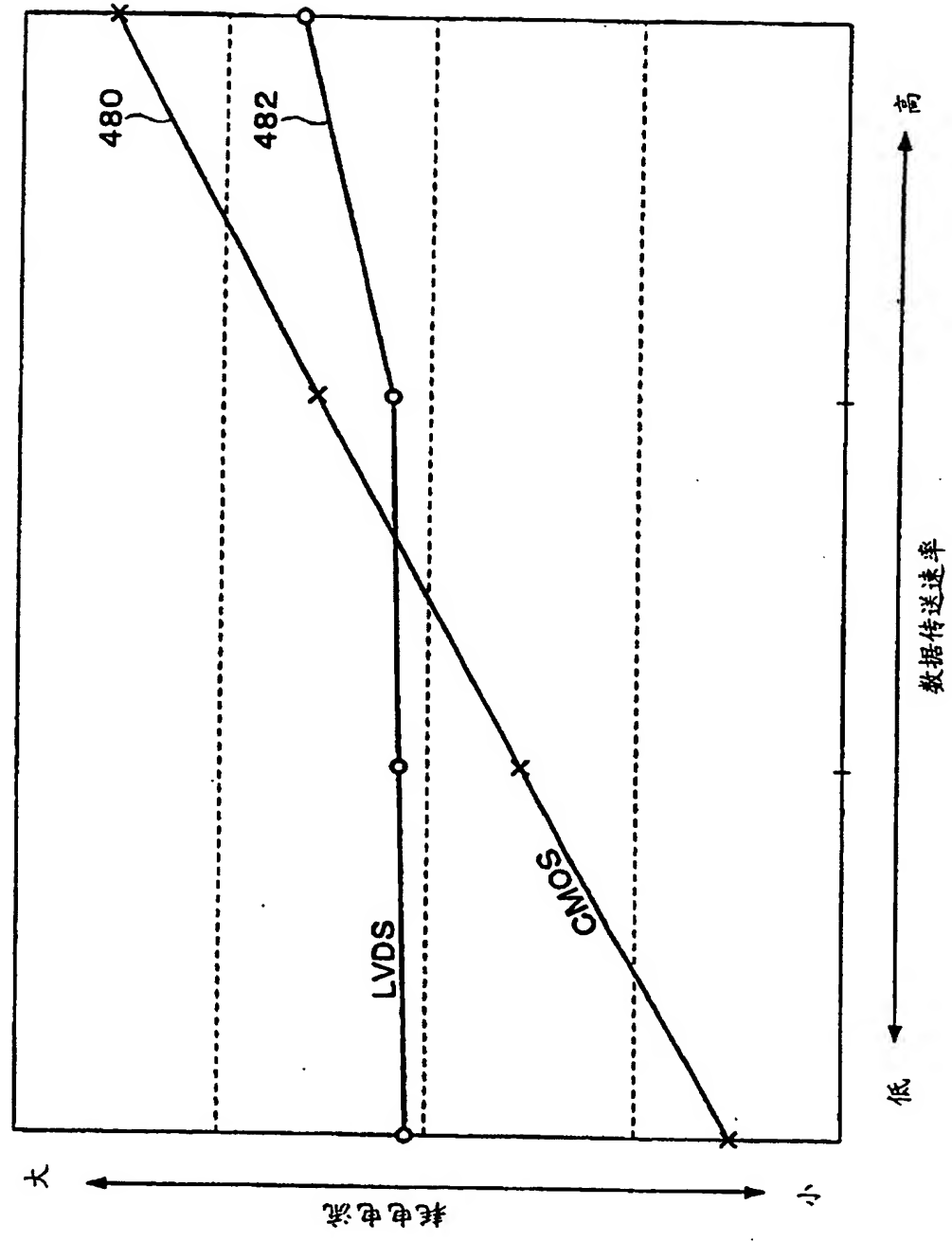


图 12

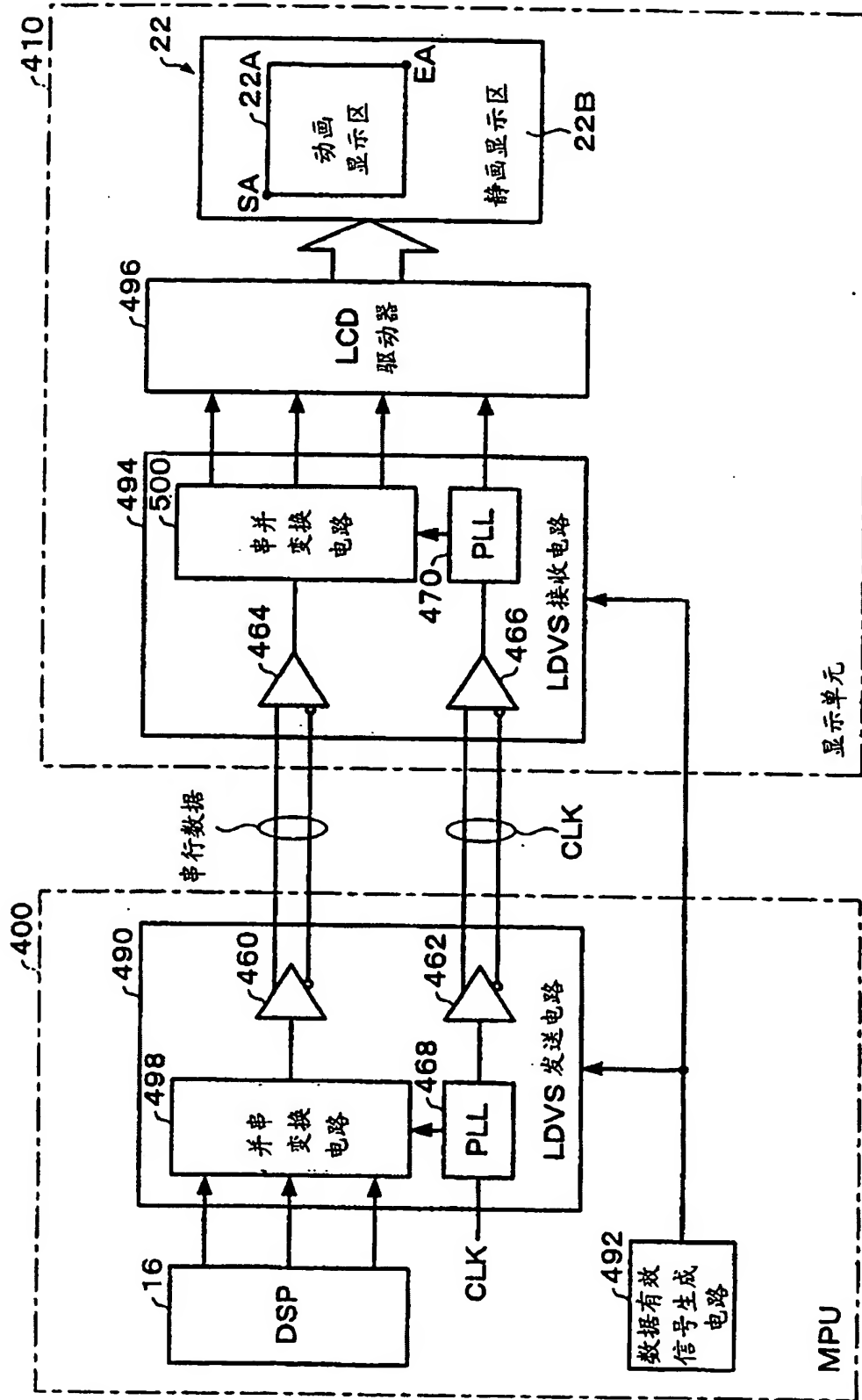


图 13

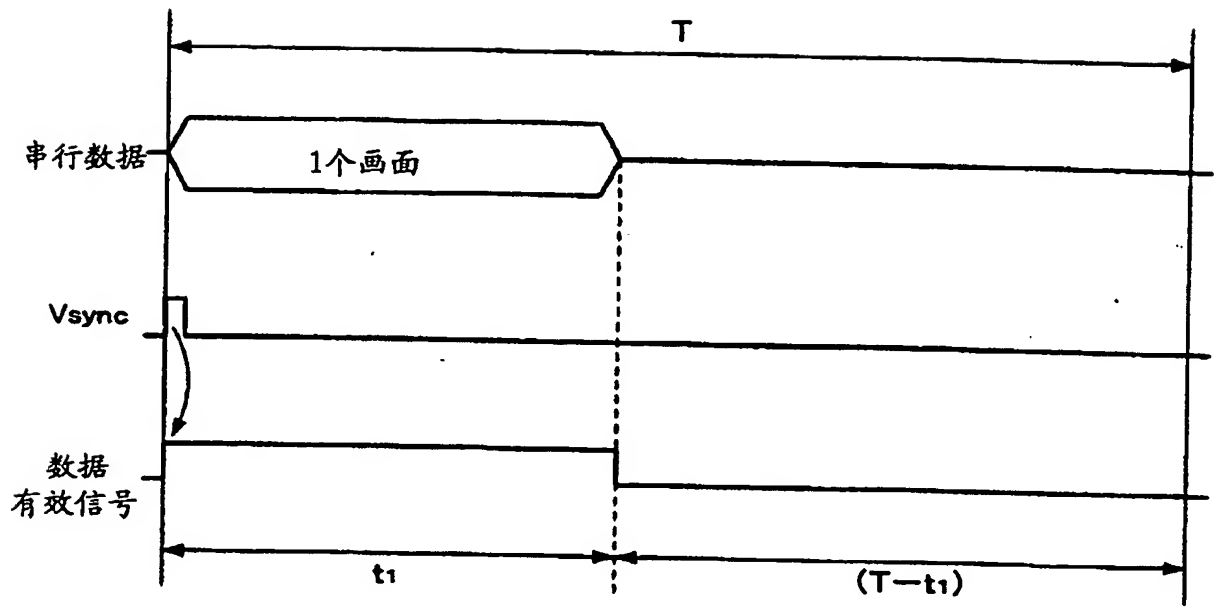


图 14

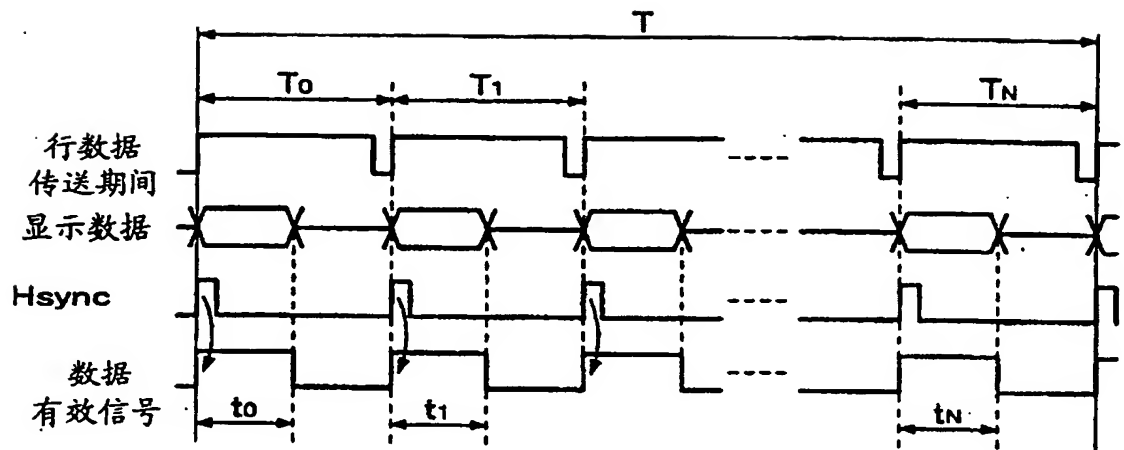


图 15

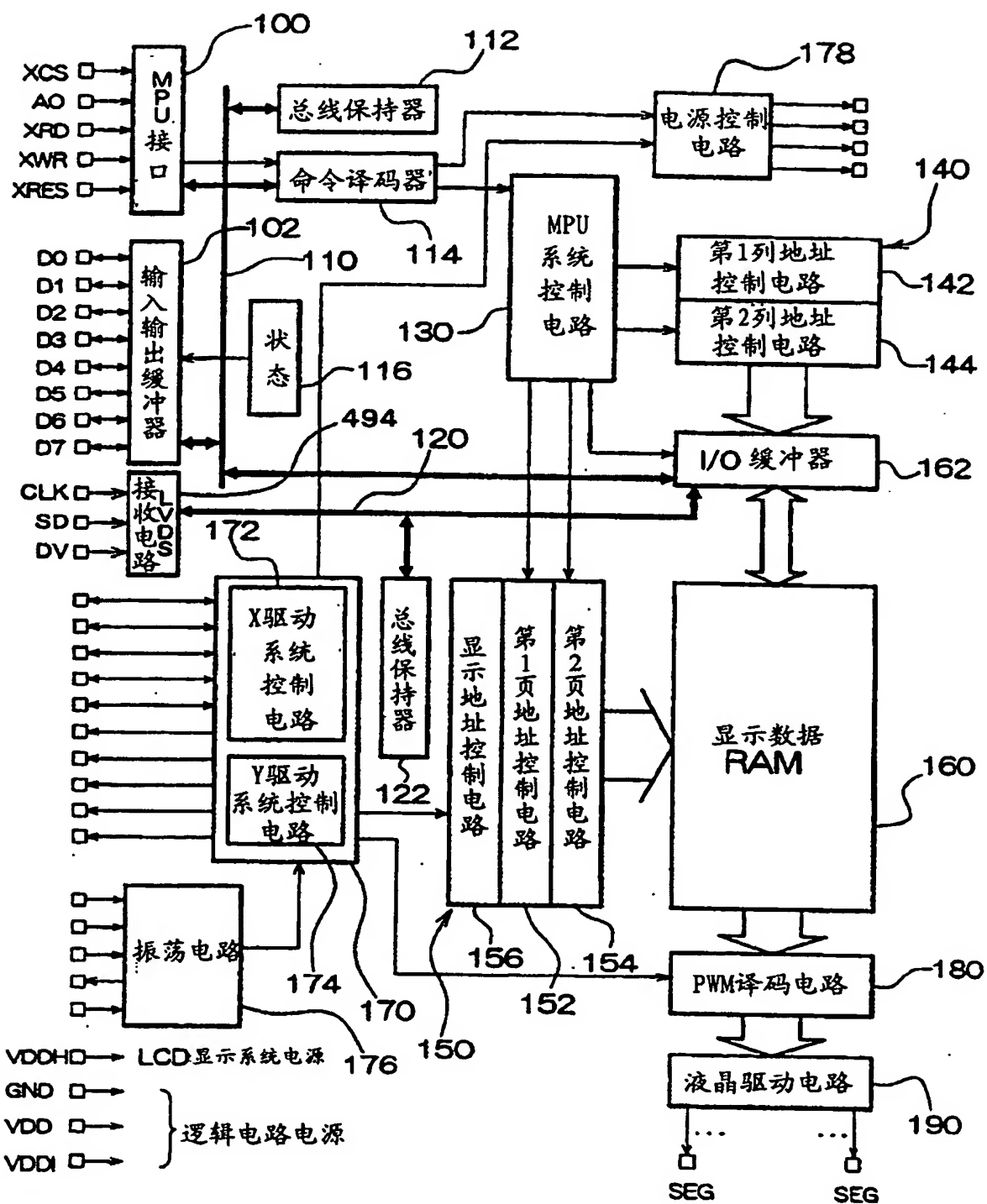


图 16

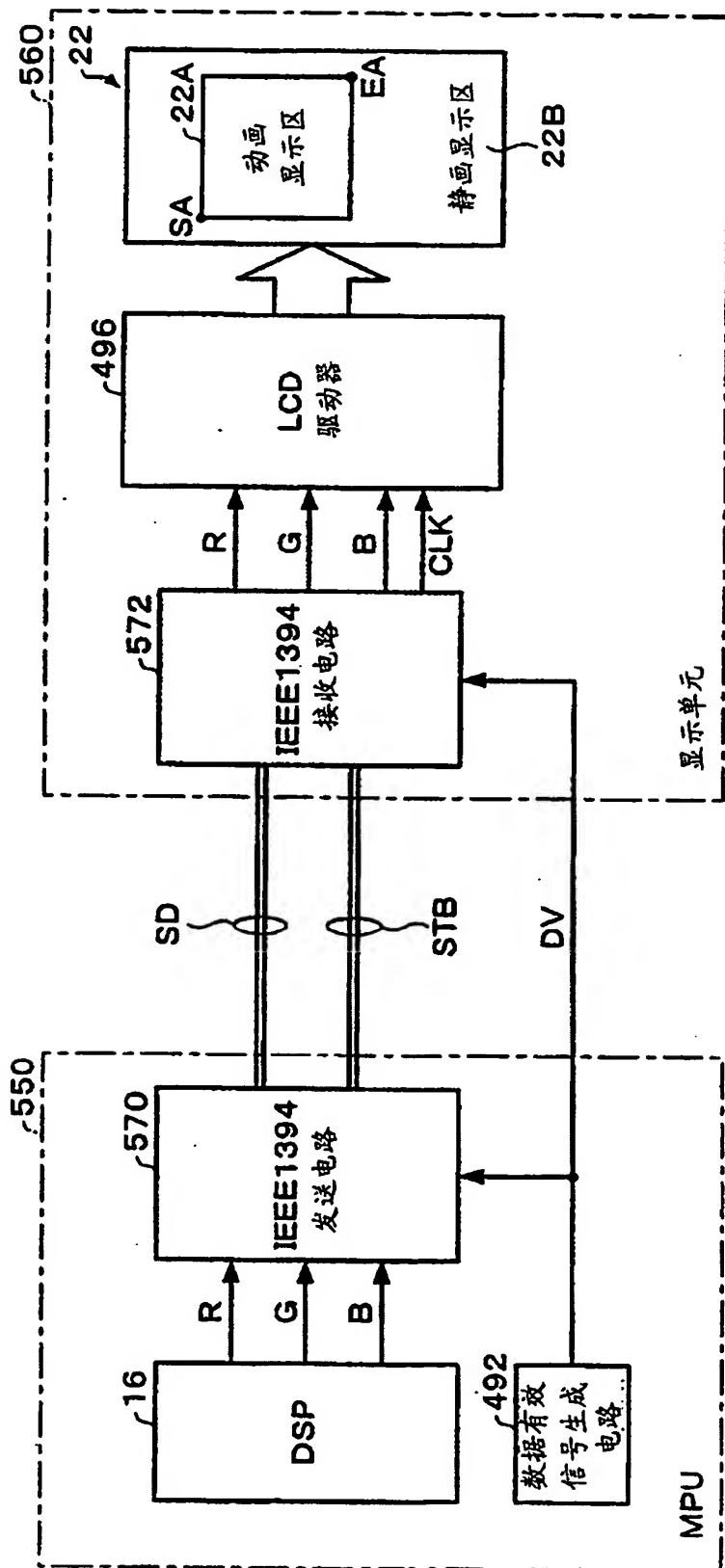


图 17

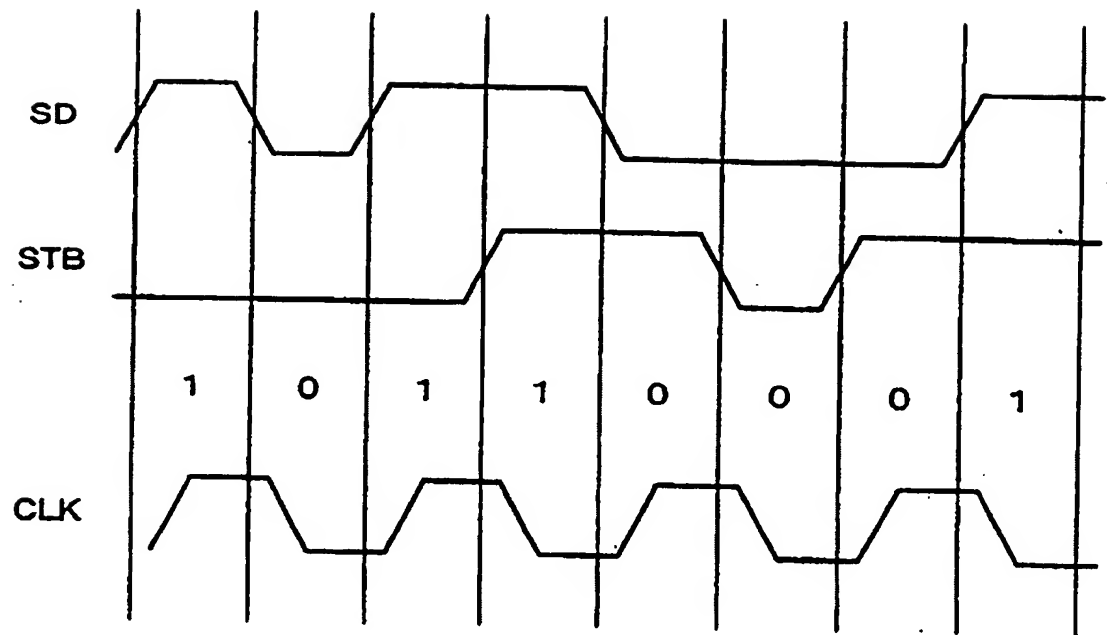


图 18

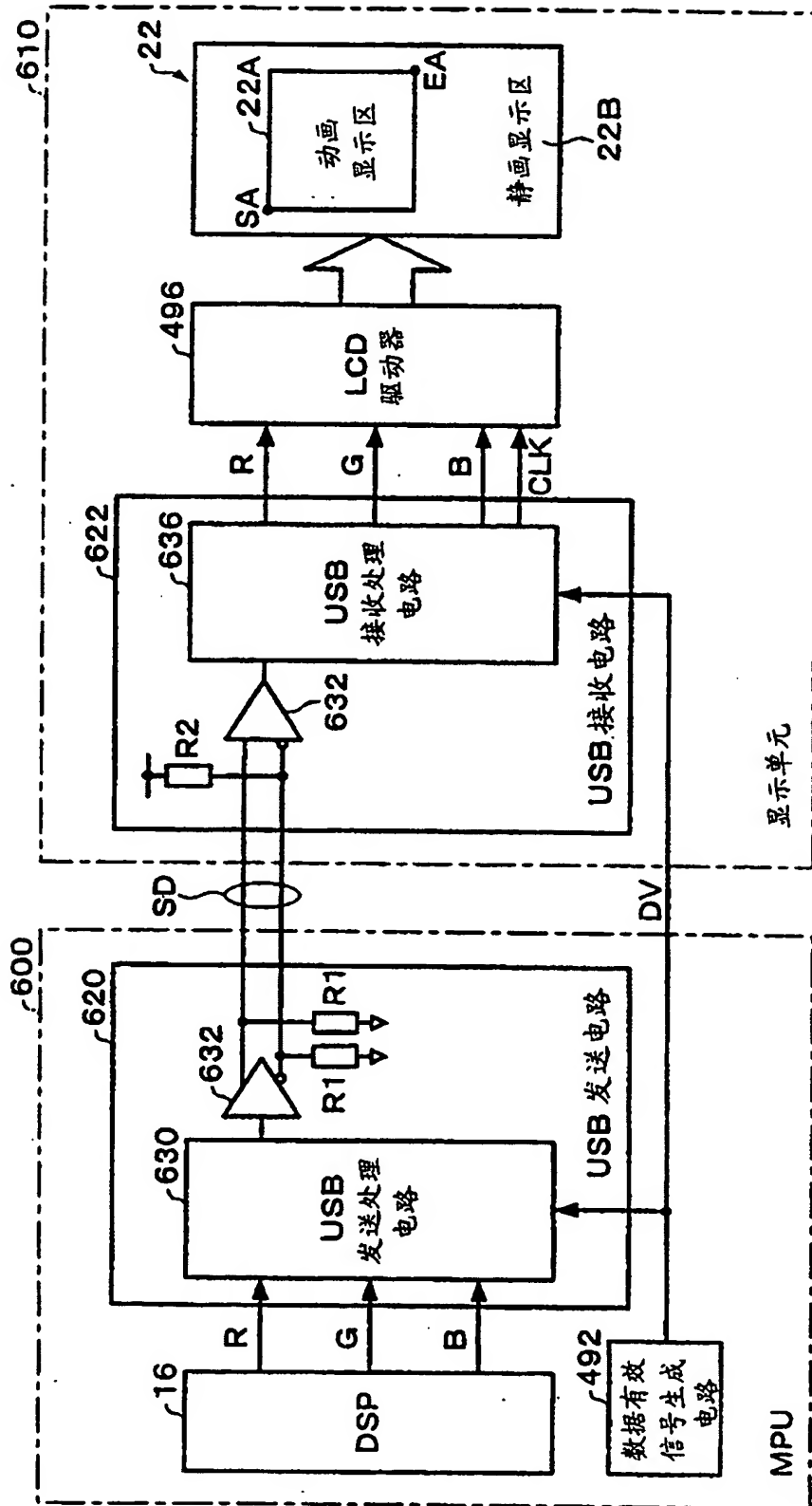


图 19